

MENU

SEARCH

INDEX

DETAIL

NEXT

1/10



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11017185

(43)Date of publication of application: 22.01.1999

(51)Int.Cl.

H01L 29/786

H01L 21/336

G02F 1/136

H01L 27/12

(21)Application number: 09164077

(71)Applicant:

HITACHI LTD

(22)Date of filing: 20.06.1997

(72)Inventor:

KAWACHI GENSHIROU

OKUBO TATSUYA

MIMURA AKIO

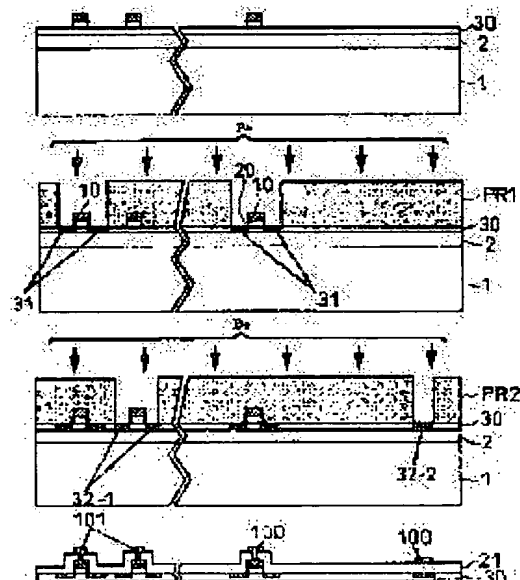
SHINAGAWA TAKAAKI

(54) LIQUID CRYSTAL DISPLAY AND ITS MANUFACTURE

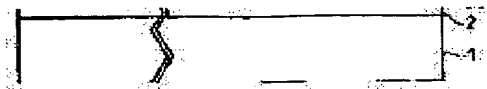
(57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify the processes of the manufacturing method of a TFT liquid crystal display, by so forming continuously its films as to take out its substrate from a vacuum equipment as infrequent as possible.

**SOLUTION:** After on a glass substrate 1 a bedding insulation film 2, a semiconductor film 30 recrystallized by heating, a gate insulation film 20, and a gate electrode 10 are formed continuously in a vacuum equipment, the gate electrode 10 and gate insulation film 20 are patterned simultaneously to form thereafter impurity regions 31 in the semiconductor film 30. In this way, by processing consistently in vacuum a plurality of film forming processes, the productivity of a liquid crystal display



is improved to make realizable its low cost. Also, since the semiconductor film 30 is never exposed to the atmosphere before and after its recrystallized process by heating, a transistor having a good characteristic can be manufactured with a good repeatability.



---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[NEXT](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17185

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.<sup>5</sup>  
H 0 1 L 29/786  
21/336  
G 0 2 F 1/136  
H 0 1 L 27/12

識別記号  
5 0 0

F I  
H 0 1 L 29/78 6 2 7 B  
G 0 2 F 1/136 5 0 0  
H 0 1 L 27/12 R  
29/78 6 1 2 C  
6 1 7 V

審査請求 未請求 請求項の数12 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平9-164077

(22) 出願日 平成9年(1997) 6月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 河内 玄士朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 大久保 竜也

茨城県ひたちなか市稲田1410番地 株式会社日立製作所映像情報メディア事業部内

(72) 発明者 三村 秋男

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 平木 祐輔

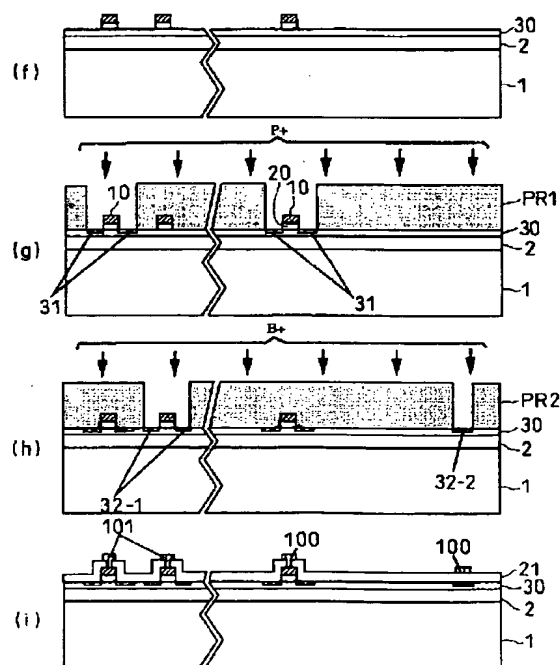
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 TFT液晶表示装置の製造方法において、基板をできるだけ真空装置から出さないで連続成膜することにより、製造工程を簡素化する。

【解決手段】 ガラス基板1上に下地絶縁膜2、加熱再結晶化された半導体膜30、ゲート絶縁膜20及びゲート電極10を真空装置内で連続成膜してから、ゲート電極10及びゲート絶縁膜20を同時にパターニングして、その後、半導体膜30内に不純物半導体領域31を形成する。このように、複数の成膜工程を真空中で一貫処理することにより、生産性が向上し液晶表示装置の低コスト化を実現できる。また、半導体膜30を加熱再結晶化する工程の前で半導体膜30が大気に曝されることがないので、良好な特性を有するトランジスタを再現性よく製造できる。



## 【特許請求の範囲】

【請求項1】 基板上略全面に、絶縁ゲート型トランジスタを構成する半導体膜を形成する工程と、前記半導体膜を加熱再結晶化する工程と、前記加熱再結晶化された半導体膜上に絶縁ゲート型トランジスタのゲート絶縁膜を形成する工程と、前記絶縁ゲート型トランジスタのゲート絶縁膜上の略全面に絶縁ゲート型トランジスタのゲート電極を形成する工程とを真空装置内で連続一貫して実施する工程を含むことを特徴とする液晶表示装置の製造方法。

【請求項2】 請求項1記載の液晶表示装置の製造方法において、前記半導体膜を加熱再結晶化する手段として、レーザ、あるいは電子ビームのようなエネルギービームを照射することを特徴とする液晶表示装置の製造方法。

【請求項3】 トップゲート構造を有する薄膜トランジスタ素子を用いたアクティブマトリックス方式の液晶表示装置において、前記薄膜トランジスタ素子のゲート電極の下の全面に加熱再結晶化された半導体膜が形成されていることを特徴とする液晶表示装置。

【請求項4】 基板上略全面に、形成された半導体膜と、前記半導体膜上の一部に第1の絶縁膜を介して形成された第1の電極と、前記第1の電極のパターンを挟むように前記半導体膜内に形成された、一対の第1導電型を有する不純物半導体層と、前記一対の第1導電型を有する不純物半導体層の一方に接続された第2の電極と、前記一対の第1導電型を有する不純物半導体層の他方に接続された第3の電極とから構成される複数の薄膜トランジスタと、前記複数の薄膜トランジスタの第1の電極間を接続する複数の走査配線電極と、前記複数の薄膜トランジスタの第2の電極間を接続し、前記複数の走査配線電極に交差するように形成された複数の信号配線電極と、前記複数の薄膜トランジスタの第3の電極に接続された複数の画素電極とを有するアクティブマトリックス基板と、対向電極が形成され、前記アクティブマトリックス基板に対向して配置された対向基板と、前記アクティブマトリックス基板と対向基板とによって挟持された液晶組成物とを具備し、前記走査配線電極と信号配線電極からの信号により選択された薄膜トランジスタのスイッチング動作に伴う電圧を画素電極に印加して液晶組成物を駆動することを特徴とする液晶表示装置。

【請求項5】 基板上に、網目状パターンに連結形成された半導体膜と、

前記半導体膜上の一部に第1の絶縁膜を介して形成された第1の電極と、

前記第1の電極のパターンを挟むように前記半導体膜内に形成された、一対の第1導電型を有する不純物半導体層と、

前記一対の第1導電型を有する不純物半導体層の一方に接続された第2の電極と、

前記一対の第1導電型を有する不純物半導体層の他方に接続された第3の電極とから構成される複数の薄膜トランジスタと、

10 前記複数の薄膜トランジスタの第1の電極間を接続する複数の走査配線電極と、

前記複数の薄膜トランジスタの第2の電極間を接続し、前記複数の走査配線電極に交差するように形成された複数の信号配線電極と、

前記複数の薄膜トランジスタの第3の電極に接続された複数の画素電極とを有するアクティブマトリックス基板と、

20 対向電極が形成され、前記アクティブマトリックス基板に対向して配置された対向基板と、

前記アクティブマトリックス基板と対向基板とによって挟持された液晶組成物とを具備し、

前記走査配線電極と信号配線電極からの信号により選択された薄膜トランジスタのスイッチング動作に伴う電圧を画素電極に印加して液晶組成物を駆動することを特徴とする液晶表示装置。

【請求項6】 請求項4又は5記載の液晶表示装置において、互いに隣り合う前記薄膜トランジスタの第1の電極間を接続する走査配線電極と交差するように、前記半導体膜内の一部に第2導電型を有する不純物半導体層が形成されていることを特徴とする液晶表示装置。

【請求項7】 請求項6記載の液晶表示装置において、前記第2導電型を有する不純物半導体層は、前記画素電極又は前記第3の電極に接続され、前記第2導電型を有する不純物半導体層と、走査配線電極と、これらの間に挟持された絶縁膜とによって保持容量を形成してなることを特徴とする液晶表示装置。

【請求項8】 請求項5記載の液晶表示装置において、前記連結形成された半導体膜の網目状パターンは、前記第2及び第3の電極上に形成された保護絶縁膜のパターンと略同一形状を有することを特徴とする液晶表示装置。

【請求項9】 請求項4乃至8のいずれかに記載の液晶表示装置において、前記画素電極は光反射機能又は光散乱機能を備えており、対向基板側から入射する外光を反射あるいは散乱することで画像表示を行うことを特徴とする液晶表示装置。

【請求項10】 請求項4乃至9のいずれかに記載の液晶表示装置において、前記走査配線電極あるいは信号配線電極に所定の電気信号を供給する駆動回路を、前記半

導体膜上に形成した相補型の薄膜トランジスタ群により構成したことを特徴とする液晶表示装置。

【請求項11】 請求項4又は5記載の液晶表示装置において、互いに隣り合う任意の一对の薄膜トランジスタの第1の電極間を接続する走査配線電極と交差するように、前記半導体膜が除去された領域が存在することを特徴とする液晶表示装置。

【請求項12】 請求項4又は5記載の液晶表示装置において、前記半導体膜内の一部には、互いに隣り合う任意の一对の薄膜トランジスタの第1の電極間を接続する走査配線電極と交差するように、前記半導体膜の自己酸化膜のパターンが形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置及びその製造方法に係り、特に、薄膜トランジスタ素子を用いたアクティブマトリックス方式の液晶表示装置の構造及び製造方法に関する。

【0002】

【従来の技術】OA機器等の画像、文字情報の表示装置として、薄膜トランジスタ（以下TFTと記す）を用いたアクティブマトリックス方式の液晶表示装置が知られている。従来この種の液晶表示装置においては低コスト化と並んで高精細化、高画質化が重要な課題である。これらの課題を解決するためにはキーデバイスであるTFTの性能向上が欠かせない。高性能なTFTを安価なガラス基板上に形成するに際して、例えば、特開平7-297407号公報に記載されているように、TFTアクティブマトリックスを駆動する周辺駆動回路をもTFTで構成し、同一基板上に集積してコストを低減することが考えられている。（第1の従来技術）より高機能の周辺駆動回路をガラス基板上に集積できれば外部に実装する回路構成や実装工程を簡単化できるので実装コストの大幅な削減が期待できる。高機能の回路を構成するためにはより高性能なTFTが必要とされる。多結晶シリコン（以下poly-Siと記す）膜上に形成したTFTは、そのような周辺駆動回路集積型の表示装置用のTFTとして最も期待されているものである。上記の従来技術において開示されているようなpoly-SiTFTは、相補型（CMOS）回路を構成する必要があることや、素子構造上の制約から、現在アクティブマトリックス方式の液晶表示装置に広く用いられている非晶質シリコン（以下a-Siと記す）膜上に形成されたTFTに比べて、製造工程が長く複雑であり、プロセスコストは割高となっている。

【0003】TFTの製造工程を簡略化し、コストを低減する方法の一つとして、a-SiTFTにおいては、半導体膜であるa-Si膜や、絶縁膜等の複数の薄膜を一つ

ットを向上させ、かつ複数の薄膜の間の界面が大気に曝すことで汚染され、素子の特性が低下することを防止する方法が、例えば特開昭58-102560号公報や特開平4-352419号公報において開示されている。

（第2の従来技術）

【0004】

【発明が解決しようとする課題】上記第1の従来技術に示されている、トップゲート構造を有するpoly-SiTFTの製造プロセスの初期は以下のようなものである。すなわち、（1）基板上に下地となる絶縁膜を形成する工程、（2）下地絶縁膜上にa-Si膜を形成する工程、

（3）a-Si膜を熱処理あるいはレーザビーム照射等の手段によりpoly-Si膜に転換する工程、（4）poly-Si膜を個々のTFTの領域に写真食刻法を用いて分離する工程、（5）分離されたpoly-Siパターンの上にゲート絶縁膜を形成・分離する工程、（6）ゲート絶縁膜の上にゲート電極を形成・分離する工程から構成される。

（他に不純物をドーピングする工程があるが省略する。）

上記の製造工程においては、a-Si膜を成膜する工程、ゲート絶縁膜を成膜する工程及びゲート電極を成膜する工程のそれぞれの間に、Si膜をバタニングする工程及びゲート絶縁膜をバタニングする工程があり、このために、薄膜をバタニングする工程の前後に成膜装置を使用する必要が生じ、生産効率向上を阻んでいる。また、Si膜をバタニングする工程の存在そのものも工程数を増加させる一因である。さらに、Si膜をバタニングするために薄膜を大気中に取り出すことで薄膜表面が汚染され、素子特性低下の原因となっていることも問題である。

【0005】このため、第2の従来技術にあるように、これらの薄膜をすべて真空装置内で連続して形成しようとしても、トップゲート構造の場合は、ゲート電極を形成する前までにはSi膜をバタニングしなければならないと考えられていた。本発明の目的は、以上のような問題を解決し、簡略で生産性の高い、高性能TFTの製造方法を提供することにある。また、本発明の別の目的は、そのような簡略な製造プロセスを採用しても、素子の特性や、表示画質が低下しないような液晶表示装置の構造を提供することにある。

【0006】

【課題を解決するための手段】

（製法：基本）本発明の液晶表示装置の製造方法は、基板上略全面に、絶縁ゲート型トランジスタを構成する半導体膜を形成する工程と、前記半導体膜を加熱再結晶化する工程と、前記加熱再結晶化された半導体膜上に絶縁ゲート型トランジスタのゲート絶縁膜を形成する工程と前記絶縁ゲート型トランジスタのゲート絶縁膜上の略全面に絶縁ゲート型トランジスタのゲート電極を形成する工程とを真空装置内で連続一貫して実施するものであ

る。

（製法：レーザ等を照射）また、前記半導体膜を加熱再結晶化する手段として、レーザ、あるいは電子ビームのようなエネルギービームを照射するものである。

【0007】上記のような製造方法を採用することにより、ゲート電極を形成するまでの間、薄膜をバターンニングするために基板を大気中に取り出すことがないので、半導体膜を形成する工程からゲート電極を形成する工程に至るまで同一の真空装置内で一貫して処理することが可能となり、生産性を向上させ、製造コストを低減できる。また、加熱再結晶化する前後で半導体膜が大気中に曝されないで、大気からの汚染を防止でき、素子の性能、信頼性が向上する。

【0008】本発明において、素子分離のための半導体膜のバターンニングを全くしない場合でも、絶縁基板上に形成する薄膜トランジスタにおいては、半導体膜として高抵抗の真性半導体膜を用いるので、素子間はこの高抵抗で自動的に分離され、実用上問題ない。特に、半導体膜の膜厚を例えば100nm以下にまで薄くすれば、素子間の抵抗値を十分高く保つことができるのでより望ましい。

（構造：基本）また、本発明の液晶表示装置は、トップゲート構造を有する薄膜トランジスタ素子を用いたアクティブマトリックス方式の液晶表示装置において、前記薄膜トランジスタ素子のゲート電極の下に全面に加熱再結晶化された半導体膜が形成されているものである。

（構造：Si膜を全面形成）また、基板上略全面に、形成された半導体膜と、前記半導体膜上の一部に第1の絶縁膜を介して形成された第1の電極と、前記第1の電極のパターンを挟むように前記半導体膜内に形成された、一対の第1導電型を有する不純物半導体層と、前記一対の第1導電型を有する不純物半導体層の一方に接続された第2の電極と、前記一対の第1導電型を有する不純物半導体層の他方に接続された第3の電極とから構成される複数の薄膜トランジスタと、前記複数の薄膜トランジスタの第1の電極間を接続する複数の走査配線電極と、前記複数の薄膜トランジスタの第2の電極間を接続し、前記複数の走査配線電極に交差するように形成された複数の信号配線電極と、前記複数の薄膜トランジスタの第3の電極に接続された複数の画素電極とを有するアクティブマトリックス基板と、対向電極が形成され、前記アクティブマトリックス基板に対向して配置された対向基板と、前記アクティブマトリックス基板と対向基板とによって挟持された液晶組成物とを具備し、前記走査配線電極と信号配線電極からの信号により選択された薄膜トランジスタのスイッチング動作に伴う電圧を画素電極に印加して液晶組成物を駆動するものである。

（構造：Si膜を網目状に形成）また、基板上に、網目状パターンに連結形成された半導体膜と、前記半導体膜上の一部に第1の絶縁膜を介して形成された第1の電極

と、前記第1の電極のパターンを挟むように前記半導体膜内に形成された、一対の第1導電型を有する不純物半導体層と、前記一対の第1導電型を有する不純物半導体層の一方に接続された第2の電極と、前記一対の第1導電型を有する不純物半導体層の他方に接続された第3の電極とから構成される複数の薄膜トランジスタと、前記複数の薄膜トランジスタの第1の電極間を接続する複数の走査配線電極と、前記複数の薄膜トランジスタの第2の電極間を接続し、前記複数の走査配線電極に交差するように形成された複数の信号配線電極と、前記複数の薄膜トランジスタの第3の電極に接続された複数の画素電極とを有するアクティブマトリックス基板と、対向電極が形成され、前記アクティブマトリックス基板に対向して配置された対向基板と、前記アクティブマトリックス基板と対向基板とによって挟持された液晶組成物とを具備し、前記走査配線電極と信号配線電極からの信号により選択された薄膜トランジスタのスイッチング動作に伴う電圧を画素電極に印加して液晶組成物を駆動するものである。

【0009】上記のような構造を採用することにより、製造途中において薄膜をバターンニングするために基板を大気中に取り出すことがなく製造できるので、半導体膜を形成する工程からゲート電極を形成する工程に至るまでを同一の真空装置内で一貫して処理することが可能となり生産性を向上させることができるので製造コストを低減できる。また、加熱再結晶化する前後で半導体膜が大気中に曝されないで、大気からの汚染を防止でき、素子の性能、信頼性が向上する。

（構造：反射型液晶表示装置）本発明の構造で半導体膜を全くバターンニングしなければ、半導体膜を形成したアクティブマトリックス基板は可視光に対して不透明になる。このため、基板を透過する光を変調する所謂透過型液晶表示装置に適用するには問題がある。この問題点は、前記画素電極に光反射機能あるいは光散乱機能を持たせ、対向基板側から入射する外光を反射あるいは散乱することで画像表示を行う反射型表示装置を構成することにより解決できる。

（構造：網目に画素電極を形成）あるいは、別の解決法としては、上記のように、半導体膜を網目状に連結されたパターンとして、網目の目にあたる半導体膜が形成されない領域に画素電極を形成した透過型表示装置とすることによっても解決できる。ただし、この場合、半導体膜を網目状に連結されたパターンに加工する工程を、前記第2及び第3の電極上に形成された保護絶縁膜をバターンニングする工程の後に実施して、前記連結形成された半導体膜の網目状パターンを、前記第2及び第3の電極上に形成された保護絶縁膜のパターンと略同一形状とすることにより、本発明の、加熱再結晶化する前後で半導体膜が大気中に曝されない、という特徴を損なうことがない。したがって、透過型の表示装置においても本発明

の目的を達成することができる。

（構造：寄生チャネルストップ層を設ける）また、上記本発明の別の目的を達成するため、本発明の液晶表示装置は、上記液晶表示装置において、前記半導体膜内の一部には、互いに隣り合う任意の一対の薄膜トランジスタの第1の電極間を接続する走査配線電極と交差するように、第2導電型を有する不純物半導体層を形成するものである。

【0010】本発明において半導体膜をパターンニングしない構造においては隣り合うトランジスタ間の干渉が問題となることがある。即ち、各々のトランジスタのゲート電極が走査配線電極によって接続されることにより、トランジスタ部のみならず、トランジスタ間を接続する走査配線電極の下層の半導体膜表面にも電界効果によりキャリアが誘起され電流パスが形成される。（以下、この走査配線電極の下層の電流パスを寄生チャネルと記す）この寄生チャネルにより隣り合うトランジスタに印加される映像信号間にクロストークが発生し、画面上は例えばシャドウイング現象として現われ、画質を低下させる。上記の手段によれば、このような問題を防止することができる。即ち、互いに隣り合う薄膜トランジスタの第1の電極間を接続する走査配線電極と交差するように、前記半導体膜内の一部にトランジスタの極性とは逆極性の第2導電型を有する不純物半導体層を形成すると、第2導電型を有する不純物半導体層においては、たとえ走査電極に電圧が印加されても、チャネルが形成されないようにできる。これにより寄生チャネルをカットできる。

（構造：寄生チャネルストップ層を保持容量として用いる）さらに、前記第2導電型を有する不純物半導体層を、前記画素電極あるいは前記第3の電極に接続し、前記第2導電型を有する不純物半導体層と、走査配線電極と、これらの間に挟持された絶縁膜とによって保持容量を形成することができる。保持容量を形成することにより、トランジスタのリーク電流等による画素電極電位の時間変動や、画素電極とその周囲に配置された走査配線電極あるいは信号配線電極間の寄生容量による画素電極電位の変動を小さくできるので、良好な画像品質を実現できる。

【0011】

【発明の実施の形態】以下、本発明の一実施の形態を図面に基いて説明する。

（実施の形態1）図1（a）～図3（1）は、本発明の第1の実施の形態に係る液晶表示装置の製造方法を示す断面図である。

【0012】ガラス基板1上にプラズマCVD法により、下地膜として二酸化シリコン（ $\text{SiO}_2$ ）膜2を300nm形成する。（図1（a）参照）

引き続き、真性a-Si膜3を同じくプラズマCVD法により50nm形成する。（図1（b）参照）

さらに、引き続き高輝度のXeClエキシマレーザ光LASERを、エネルギー密度300mJ/cm<sup>2</sup>で照射し、前記真性a-Si膜3を熔融再結晶化して、真性多結晶シリコン（poly-Si）膜30を得る。（図1（c）参照）

さらに、プラズマCVD法により二酸化シリコン（ $\text{SiO}_2$ ）膜を100nm形成してゲート絶縁膜20とする。（図1（d）参照）

さらにスパッタリング法によりNb膜を200nm形成しゲート電極10とする。（図1（e）参照）

本実施の態様では、以上図1（a）～図1（e）に至る工程を、同一の真空装置内で基板を大気中に取り出すことなくしに連続一貫して行うことを特徴とする。

【0013】次に、前記ゲート電極10及びゲート絶縁膜20を所定の平面形状にパターンニングする。（図2（f）参照）

本図以下、図の右側は画素内TFTの断面図を、左側は駆動回路部に用いられるTFTの断面図を示す。次に、所定形状のホトレジストパターンPR1を形成後、前記ホトレジストパターンPR1、及びゲート電極10のパターンをマスクとして、リンを含むイオンビームP+を照射し、n型poly-Si層31を形成する。（図2（g）参照）

前記ホトレジストパターンPR1を除去した後、別のホトレジストパターンPR2を形成し、前記ホトレジストパターンPR2、及びゲート電極10のパターンをマスクとして、ボロンを含むイオンビームB+を照射し、p型poly-Si層32-1を形成する。（図2（h）参照）このとき、チャネルストップ層となるp型poly-Si層32-2も同時に形成する。

【0014】前記ホトレジストパターンPR2を除去した後、再度XeClエキシマレーザ光をエネルギー密度200mJ/cm<sup>2</sup>で照射し、注入したリン及びボロンを活性化し、n型poly-Si層31、及びp型poly-Si層32を低抵抗化する。次に、保護絶縁膜21としてプラズマCVD法により $\text{SiO}_2$ 膜を200nm形成して所定の形状にパターンニングする。最後にスパッタリング法によりNbを200nm形成し、所定の形状にパターンニングして走査信号電極100、及び回路内の第1層配線電極101を得る。（図2（i）参照）

次に、2層目の保護絶縁膜23としてプラズマCVD法により $\text{SiO}_2$ 膜を300nm形成して所定の形状にパターンニングしたあと、スパッタリング法によりNbを400nm形成し、所定の形状にパターンニングして、映像信号電極110、ソース電極12及び回路内の第2層配線電極111を得る。（図3（j）参照）

次に、プラズマCVD法により、シリコン窒化（ $\text{Si}_3\text{N}_4$ ）膜22を500nm形成し、所定のパターンに加工する。この時、画素電極13が形成される領域の第1層目及び第2層目の保護絶縁膜及びpoly-Si膜30もSi

N膜22とともにエッチング除去する点にも本発明の特徴がある。(図3(k)参照)

最後に、透明導電膜であるインジウム-スズ-酸化膜(ITO)をスパッタリング法により140nm形成し、所定のパターンに加工して画素電極13とする。

【0015】本実施の形態においては、下地膜2の形成から、ゲート電極10の形成に至る一連の工程を同一の真空装置内で、基板を大気中に取り出すことなく実施するので、生産性が向上し、製造コストをさげることが可能となる。また、その他の効果として、poly-Si膜30とゲート絶縁膜20、あるいはpoly-Si膜30と下地絶縁膜2の間の界面が大気に曝されないので、大気からのボロンやその他の不純物に汚染されることがなく、良好な特性を有するトランジスタを再現性良く製造することができる。

【0016】また、本実施の形態の第2の特徴として、保護膜であるSiN膜22をパターニングする際に、同時に画素電極13が形成される領域のpoly-Si膜30もSiN膜22とともにエッチング除去するようにした。本発明の構成では素子分離のためにpoly-Si膜30を予めパターニングしないので、基板上略全面にpoly-Si膜30が残っている。poly-Si膜30の光学的バンドギャップは約1.1eVであり、たとえ膜厚が50nm程度と薄くても可視光領域の吸収は無視できず、透明ではない。このため、本発明の構成を透過型の液晶表示装置に応用する場合には、透過光を制御する画素電極13が形成される領域のpoly-Si膜30を除去する必要性が生じる。上記、本実施の形態においては、このpoly-Si膜30を除去するためのパターンを保護膜であるSiN膜22のパターンと共通化することにより、余分なホトリソグラフィ工程を経ることなしに、所望の構成を得ることができる。上記ホトリソグラフィ工程の削減は製造工程の短縮に効果的であり、製造コストを低減できる効果がある。

(実施の形態2)図4は、本発明の第2の実施の形態に係る透過型液晶表示装置の単位画素の平面図である。

【0017】ガラス基板上に網目状パターンに形成された真性poly-Si膜30と、前記真性poly-Si膜30上にゲート絶縁膜(図示せず)を介して形成されたゲート電極10と、前記ゲート電極10のパターンを挟むように真性poly-Si膜30内に形成された一対のn+型半導体層31と、前記ゲート電極10に接続された走査配線電極100と、これに交差するように形成された信号配線電極110と、互いに隣り合う走査配線電極100及び信号配線電極110の間に配置された画素電極13とからなる。前記信号配線電極110と一方のn+型半導体層31、他方のn+型半導体層31とソース電極12、及びゲート電極10と走査配線電極100はコンタクトスルホールTH1を介して相互に接続されている。また、前記ソース電極12と画素電極13は、コンタクト

スルホールTH2を介して相互に接続されている。さらに、本実施の形態の特徴として、真性poly-Si膜30内に前記走査配線電極100と交差するようにp+型半導体層32-2が設けられている。このp+型半導体層32-2は、走査配線電極100下部に形成される寄生チャネルを切断し、互いに隣あうトランジスタ間でのクロストークを防止する役割を有する。このことによりクロストークのない良質な画像表示が実現できる。また、寄生チャネルの切断は、上記のように走査配線電極100と交差するようにp+型半導体層32-2を設けること以外に、前記p+型半導体層32-2が形成される部分のpoly-Si膜を選択的にエッチング除去する、あるいは前記p+型半導体層32-2が形成される部分のpoly-Si膜を選択的に酸化して酸化膜を形成することによっても達成することができる。

(実施の形態3)図5及び図6は、本発明の第3の実施の形態に係る反射型液晶表示装置の単位画素の断面及び平面図である。

【0018】ガラス基板上略全面に形成された真性poly-Si膜30と、前記真性poly-Si膜30上にゲート絶縁膜(図示せず)を介して形成されたゲート電極10と、前記ゲート電極10のパターンを挟むように真性poly-Si膜30内に形成された一対のn+型半導体層31と、前記ゲート電極10に接続された走査配線電極100と、これに交差するように形成された信号配線電極110と、互いに隣り合う走査配線電極100及び信号配線電極110の間に配置された光反射機能を有する画素電極131とからなる。前記信号配線電極110と一方のn+型半導体層31、他方のn+型半導体層31とソース電極12、及びゲート電極10と走査配線電極100はコンタクトスルホールTH1を介して相互に接続されている。また、前記ソース電極12と画素電極131は、コンタクトスルホールTH2を介して相互に接続されている。また、真性poly-Si膜30内に前記走査配線電極100と交差するようにp+型半導体層32-2が設けられている。このp+型半導体層32-2は、走査配線電極100下部に形成される寄生チャネルを切断し、互いに隣あうトランジスタ間でのクロストークを防止する役割を有する。このことによりクロストークのない良質な画像表示が実現できる。さらに、本実施の形態の特徴として、前記p+型半導体層32-2にはコンタクトスルホールTH1を介してパッド電極14が接続され、さらに前記パッド電極14と前記画素電極131はコンタクトスルホールTH2を介して接続されている。このような構成により、前記p+型半導体層32-2と前記走査配線電極100との重畳部で構成される容量を電荷蓄積容量として利用できる。このことによりトランジスタのリーク電流等による画素の非選択期間における電圧変動を小さくできるので良好な画像表示が可能となる。また、本実施の形態は反射型の表示装置に用い



た例であるが、反射型の表示装置では基板が透明である必要がないので、半導体膜をできるだけパターンニングしないことを主旨とする本発明の適用はより容易である。また、上記の例では基板にガラス基板を用いたが、反射型の表示装置では基板が透明である必要がないので、基板材料としてはより広範な選択が可能となる。例えば、表面に絶縁膜を形成したシリコン基板上に形成する所謂シリコンオンインシュレータ(SOI)構造のトランジスタにも本発明は適用できる。この場合、半導体層は単結晶シリコンであるので、より高性能な回路を同一基板上に集積してコストを低減することが可能となる。

(実施の形態4) 図7は、本発明のトランジスタを用いて構成した駆動回路を、TFTアクティブマトリックスとともに同一基板上に集積した回路内蔵型表示装置全体の等価回路を示す。前記図4又は図6に示した単位画素をマトリックス状に配置したアクティブマトリックス50と、これを駆動する垂直走査回路51、1走査線分のビデオ信号を複数のブロックに分割して時分割的に供給するための水平走査回路53、ビデオ信号Dataを供給するデータ信号線V<sub>dr1</sub>、V<sub>dq1</sub>、V<sub>db1</sub>、…、ビデオ信号を分割ブロック毎にアクティブマトリックス側へ供給するスイッチマトリックス回路52よりなる。ここで、垂直走査回路51及び水平走査回路53は、シフトレジスタとバッファより構成され、クロック信号CL1、CL2、CKVにより駆動される。上記、駆動回路あるいはアクティブマトリックスを本発明のトランジスタで構成すると、製造工程中に半導体膜と絶縁膜界面が大気に曝されることがないので良好な特性を有するトランジスタが得られることから、高性能な駆動回路を構成でき、より高精細、高画質の表示装置を実現できる。

(実施の形態5) 図8は、本発明に係る反射型の液晶表示装置の断面模式図を示す。画素部分の断面図のみを示してある。液晶層506を基準に下部のガラス基板1上には、走査信号電極と映像信号電極とがマトリックス状に形成され、その交点近傍に形成されたTFTを介して画素電極130を駆動する。本実施の形態においては、画素電極130はA1によって構成される。液晶層506を挟んで対向する対向ガラス基板508上にはITOよりなる対向電極510、及びカラーフィルター507、カラーフィルター保護膜511、遮光用ブラックマトリックスパターンを形成する遮光膜512が形成されている。また、光の位相を変化させる位相板530と偏光板505が対向ガラス基板1、508の外側の表面に形成されている。配向膜ORI1、ORI2、画素電極130、保護膜22、ゲートSiO<sub>2</sub>膜20のそれぞれの層はシール材(図示せず)の内側に形成されており、液晶層506は液晶分子の向きを設定する下部配向膜ORI1と、上部配向膜ORI2の間に封入され、シール材によって封止されている。下部配向膜ORI1は、ガラス基板1側の保護膜22の上部に形成される。対向ガラ

ス基板508の内側の表面には、遮光膜512、カラーフィルター507、カラーフィルター保護膜511、対向電極510及び上部配向膜ORI2が順次積層して設けられている。この液晶表示装置はガラス基板1側と対向ガラス基板508側の層を別々に形成し、その後上下ガラス基板1、508を重ねあわせ、両者間に液晶506を封入することによって組立られる。本実施の形態は、反射型表示装置であるので、光源は対向ガラス基板508の外側から入射する光であり、この入射光を、表面が鏡面状である画素電極131で反射する。この反射光の強度を液晶層506部分で調節することによりTFT駆動型の反射型カラー液晶表示装置が構成される。このような反射型の表示装置においては、電力を多く消費するバックライトが不要であるので、低消費電力の液晶表示装置を実現できるが、画素電極130を駆動するTFT、あるいは周辺駆動回路を構成するTFTとして、以上に述べた本発明の半導体素子を用いることにより、製造工程を簡略化できるので、低消費電力であると同時に安価な液晶表示装置を実現できる。また、製造工程中に半導体膜と絶縁膜界面が大気に曝されることがないので良好な特性を有するトランジスタが得られるので、良質で高精細の画像表示が可能となる。

(実施の形態6) 以上述べたような、レーザ照射工程と成膜工程を基板を大気に曝することなく実施するための真空装置の模式図を図9に示す。装置は、基板SUBを搬送するロボットアームRMを備えたトランスファチャンバL0、基板を送り出すためのロードチャンバL1、基板を取り出すためのアンロードチャンバL2、Si膜を成膜するための成膜チャンバC1、SiO<sub>2</sub>膜を成膜するための成膜チャンバC2、真空中でレーザ光を照射するためのレーザ照射チャンバC3及びNb膜を成膜するための成膜チャンバC4からなる。またレーザ光は外部のレーザ発振源OSCから放出され、ミラーMにより反射され石英窓QWを通してレーザ照射チャンバC3に導入される。

【0019】本装置を用いて、例えば前記図1～図3で説明した工程を実施するためには基板をL1(基板導入)→C1(下地SiO<sub>2</sub>成膜)→C2(a-Si成膜)→C3(レーザ照射)→C1(ゲート絶縁SiO<sub>2</sub>成膜)→C4(ゲート電極Nb成膜)→L2(基板取りだし)の順で移動させればよい。以上のように、図9のような装置を用いることにより、本発明の製造方法を実施できることがわかる。またこのような装置を用いることにより従来別個の工程として行っていた成膜とレーザ照射工程を連続して効率よく実施することが可能となるので、生産性を大幅に向上させることができる。

【0020】

【発明の効果】以上のように、本発明によれば簡略で生産性の高い、高性能TFTの製造方法並びに構造を提供できるので、液晶表示装置の高画質化及び低コスト化を

実現できる効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を示す液晶表示装置の製造工程を示す断面図である。

【図 2】本発明の第 1 の実施の形態を示す液晶表示装置の製造工程を示す断面図である。

【図 3】本発明の第 1 の実施の形態を示す液晶表示装置の製造工程を示す断面図である。

【図 4】本発明の第 1 の実施の形態を示す液晶表示装置の単位画素の平面図である。

【図 5】本発明の第 2 の実施の形態を示す液晶表示装置の単位画素の断面図である。

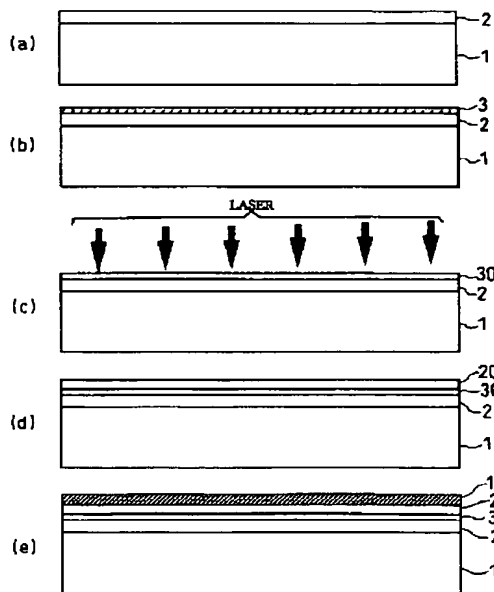
【図 6】本発明の第 2 の実施の形態を示す液晶表示装置の単位画素の平面図である。

【図 7】本発明の第 3 の実施の形態を示す駆動回路内蔵型の液晶表示装置全体の等価構成図である。

【図 8】本発明の第 4 の実施の形態を示す反射型液晶表示装置の液晶セル断面図である。

【図 9】本発明の液晶表示装置の製造方法を実施するための真空装置の模式図である。

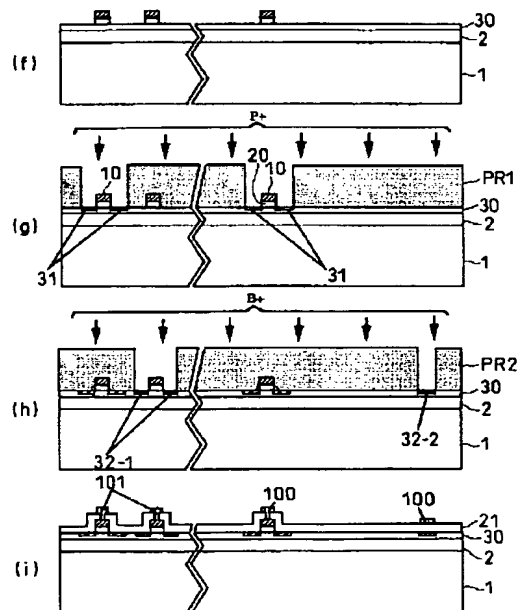
【図 1】



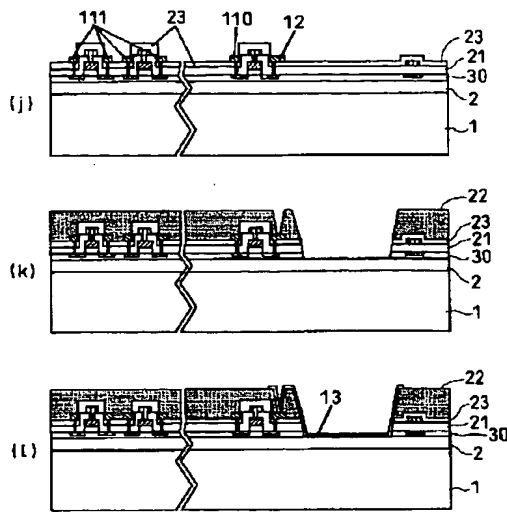
\* 【符号の説明】

1	ガラス基板
2	下地絶縁膜
3	真性a-Si膜
10	ゲート電極
12	ソース電極
13、131	画素電極
14	パッド電極
20	ゲート絶縁膜
21、22、23	保護絶縁膜
30	真性poly-Si膜
31	n型poly-Si膜
32	p型poly-Si膜
50	TFTアクティブマトリックス
51	垂直走査回路
53	水平走査回路
100	走査配線電極
110	信号配線電極
PR1、PR2	ホトレジスト
TH1、TH2	コンタクトスルーホール

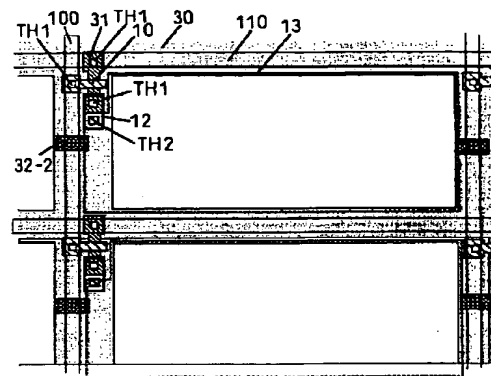
【図 2】



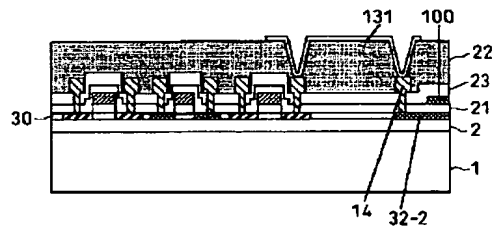
【図 3】



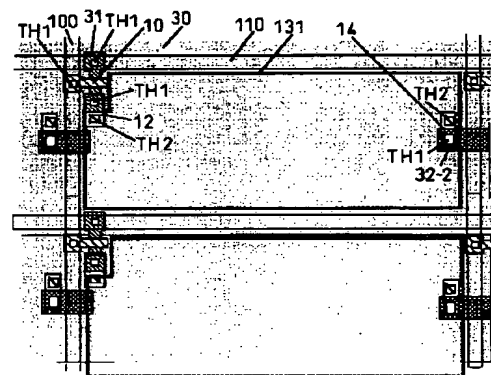
【図 4】



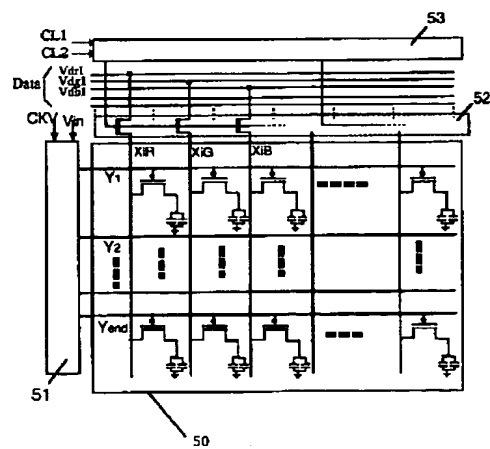
【図 5】



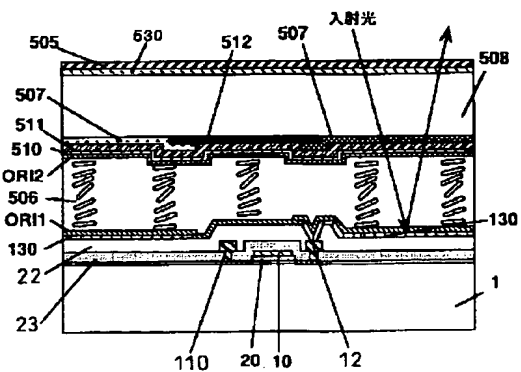
【図 6】



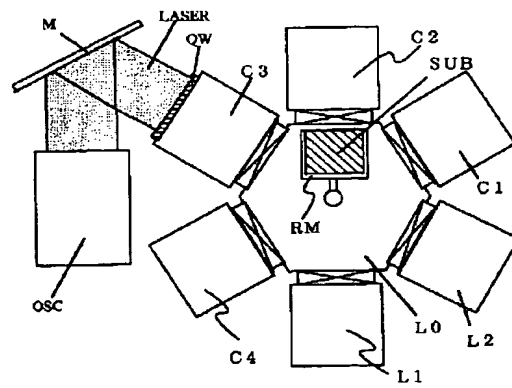
【図 7】



【図 8】



【図 9】




---

フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

6 1 7 J

6 2 7 G

(72)発明者 品川 陽明

茨城県日立市大みか町七丁目 1 番 1 号 株  
 式会社日立製作所日立研究所内